

LIQUID CRYSTAL DISPLAY ELEMENT

Publication number: JP11052415 (A)

Also published as:

Publication date: 1999-02-26

JP3283221 (B2)

Inventor(s): KAMIURA NORIHIKO; OKA TOSHIYUKI +

Applicant(s): TOSHIBA CORP +

Classification:

- international: *G02F1/1333; G02F1/1343; G02F1/136; G02F1/1368; G09F9/00; H01L21/336; H01L29/786; G02F1/13; G09F9/00; H01L21/02; H01L29/66; (IPC1-7): G02F1/1333; G02F1/1343; G02F1/136; G09F9/00; H01L21/336; H01L29/786*

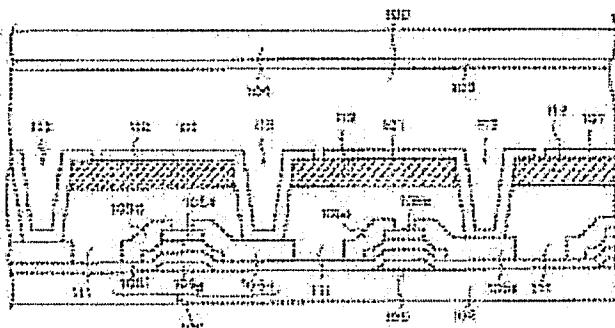
- European:

Application number: JP19970203559 19970729

Priority number(s): JP19970203559 19970729

Abstract of JP 11052415 (A)

PROBLEM TO BE SOLVED: To lower the capacitive coupling between pixel electrodes and thin-film transistors(TFTs) without degrading the reliability of interconnection. **SOLUTION:** The TFTs 105 are disposed in an array form on an array substrate 102 and first insulating layers 111 consisting of a polymer of a positive type photosensitive resin and second insulating films 112 consisting of a polymer of a colored negative type photosensitive resin are laminated on the upper side of the TFTs 105. The pixel electrodes 101 are disposed from the upper side of these interlayer insulating layers. Since the interlayer insulating layers are formable thick without the impairment of moldability, the occurrence of connection defects, such as microcracks and disconnection, between the pixel electrodes 101 and source electrodes 105s does not arise.; The capacitive coupling between the pixel electrodes 101 and the TFTs 105 is lowered.



Data supplied from the **espacenet** database — Worldwide

Family list

1 application(s) for: **JP11052415**

1 LIQUID CRYSTAL DISPLAY ELEMENT

Inventor: KAMIURA NORIHIKO ; OKA
TOSHIYUKI

EC:

Publication Info: **JP11052415 (A)** - 1999-02-26
JP3283221 (B2) - 2002-05-20

Applicant: TOSHIBA CORP

IPC: *G02F1/1333; G02F1/1343; G02F1/136;*
(+14)

Priority Date: 1997-07-29

Data supplied from the **espacenet** database — Worldwide

(51)Int.Cl. ⁶		識別記号	F I	
G 0 2 F	1/136	5 0 0	G 0 2 F	1/136 5 0 0
	1/1333	5 0 5		1/1333 5 0 5
	1/1343			1/1343
G 0 9 F	9/00	3 3 8	G 0 9 F	9/00 3 3 8
H 0 1 L	29/786		H 0 1 L	29/78 6 2 7 A

審査請求 未請求 請求項の数 3 OL (全 12 頁) 最終頁に続く

(21)出願番号 特願平9-203559

(22)出願日 平成9年(1997)7月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 上浦 紀彦

神奈川県横浜市磯子区新磯子町33 株式会社東芝生産技術研究所内

(72)発明者 岡 俊行

神奈川県横浜市磯子区新磯子町33 株式会社東芝生産技術研究所内

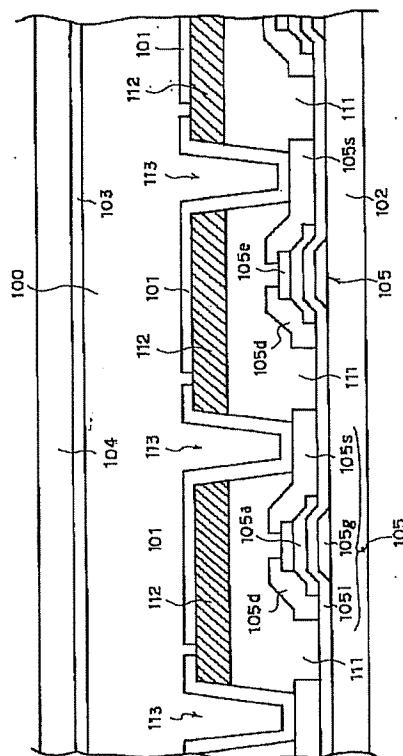
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 液晶表示素子

(57)【要約】

【課題】 画素電極と薄膜トランジスタとの間の容量結合を相互の接続信頼性を低下することなく低減する。

【解決手段】 アレイ基板102上に薄膜トランジスタ105をアレイ状に配設し、薄膜トランジスタ105の上側に、ポジ型感光性樹脂のポリマーからなる第1の絶縁層111と、着色されたネガ型感光性樹脂のポリマーからなる第2の絶縁膜112とを積層し、これらの層間絶縁層の上側から画素電極101を配設する。成形性を損なうことなく層間絶縁層を厚くできるので、画素電極101とソース電極105sとの間にマイクロクラックや断線などの接続不良を生じることなく、画素電極101と薄膜トランジスタ105との間の容量結合を低減することができる。



【特許請求の範囲】

【請求項 1】 マトリクス状に配列した画素領域を有する第 1 の基板と、
前記第 1 の基板との間に液晶層を挟持する第 2 の基板と、
前記第 1 の基板上に前記画素領域ごとに配設された、表示信号を選択的に供給するスイッチング素子と、
前記第 1 の基板上に前記画素領域ごとに配設された、ポジ型感光性樹脂ポリマーからなる第 1 の絶縁層と、
前記第 1 の絶縁層上に配設され、着色されたネガ型感光性樹脂ポリマーからなる第 2 の絶縁層と、
前記第 2 の絶縁層の上側から前記スイッチング素子と接続するように配設された第 1 の電極と、
前記第 2 の基板の前記液晶層を挟持する面に配設された第 2 の電極とを具備したことを特徴とする液晶表示素子。
【請求項 2】 マトリクス状に配列した画素領域を有する第 1 の基板と、
前記第 1 の基板との間に液晶層を挟持する第 2 の基板と、
前記第 1 の基板上に前記画素領域ごとに配設された、表示信号を選択的に供給するスイッチング素子と、
前記スイッチング素子の上側から前記第 1 の基板上に配設された、ポジ型感光性樹脂ポリマーからなる第 1 の絶縁層と、
前記第 1 の絶縁層上に配設され、着色されたネガ型感光性樹脂ポリマーからなる第 2 の絶縁層と、
前記第 2 の絶縁層上に、この第 2 の絶縁層の前記スイッチング素子と重なる領域が露出するように前記画素領域毎に配設された反射能を有する第 1 の電極と、
前記第 1 の絶縁層と前記第 2 の絶縁層とを貫通して前記スイッチング素子と前記反射画素電極とを接続する手段と、
前記第 2 の基板の前記液晶層を挟持する面に配設された第 2 の電極とを具備したことを特徴とする。
【請求項 3】 前記第 1 の絶縁層と前記第 2 の絶縁層との間に、前記画素電極と前記スイッチング素子との容量結合を低減するように配設されたシールド電極をさらに具備したことを特徴とする請求項 1 乃至請求項 2 のいずれかに記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示素子に関し、特に反射型液晶表示素子に関する。

【0002】

【従来の技術】 パーソナルコンピュータ、ワードプロセッサ、EWSなどのOA機器、電卓、電子ブック、電子手帳、PDA、携帯テレビ、携帯電話、携帯FAXに用いられる表示装置は、バッテリー駆動する必要があり低消費電力である必要がある。

【0003】 従来、薄型ディスプレイとして、液晶表示素子（LCD）、プラズマディスプレイ、フラットCRT等が知られている。特に液晶表示素子は消費電力などを考慮すると最も適しており、実用化が進んでいる。

【0004】 液晶表示素子のうち、ディスプレイの表示面を直接見るようにしたものを直視型という。直視型の液晶表示素子には背面に蛍光ランプなどの照明光学系を組み込む透過型と、周囲光を利用する反射型がある。このうち前者はバックライトに要する消費電力が大きく低消費電力化には向いていない。これはバックライトが1W以上と消費電力が大きいため、バッテリー駆動で2~3時間程度しか使用できないからである。したがって携帯情報機器のディスプレイとしては反射型が最も注目されている。

【0005】 反射型液晶表示素子は、液晶方式の違いなどにより、光反射板を使うタイプと光吸収板を使うタイプがある。前者はアルミ箔などの光反射板が液晶表示素子を構成する背面ガラス基板に偏光板と表面が梨地状の反射板とを重ねて貼り付けられている。後者は黒紙などの光吸収板が背面ガラス基板に貼り付けられている。このような反射型液晶表示素子は非発光であるので消費電力が少なくなる。

【0006】 ところが従来の反射型液晶表示素子は、明るいペーパーホワイトな表示はできず、これにより当然鮮やかなカラー表示もできなかった。透過型TFT-液晶表示素子の画質に匹敵する反射型液晶表示素子を開発する上で、このことが大きな技術課題になっている。

【0007】 反射型液晶表示素子には、ECB (Electrical Controlled Birefringence) 方式、GH (Guest Host) 方式、TN (Twisted Nematic) 方式 (Super Twisted Nematicを含む)、PDLC (Polymer dispersed Liquid Crystal) 等を使う散乱反射液晶方式、コレステリック液晶等を使う選択反射液晶方式等がある。

【0008】 ECBモードやTNモードを用いる場合には偏光板が必要である。偏光板は光の透過率が40%程度なので光の利用効率が悪くなってしまう。反射型表示装置の場合、その表示装置の明るさは、表示装置に入射した光の何%が反射されるかを表す反射率で評価される。反射率の計測は通常、拡散反射光を積分球で積分することによって行われる。例えば新聞紙は60%程度、上質紙は80%程度、酸化マグネシウム、硫酸バリウムなどの粉体は99%以上の高い反射率をそれぞれ有している。

【0009】 偏光板を必要とする表示モードを用いた液晶表示素子では40%以上の反射率を得ることはできず、十分な表示品質を得ることは困難である。明るくペーパーホワイトな表示を実現するためには約60%以上

の反射率を確保することが必要である。

【0010】偏光板を必要としない表示モードを用いた例えば散乱反射液晶方式、選択反射液晶方式などの液晶表示素子は、偏光板による光の利用率の低下がない反射率を向上することが可能である。

【0011】例えば散乱反射液晶方式の液晶表示素子では、電圧無印加状態で光を散乱し、電圧印加状態で光を透過させるようなPDL Cなどの液晶を用いる。PDL Cは、高分子マトリクスに液晶組成物が小さな液滴状あるいはネットワーク状に分散して存在し、前述のような電圧特性を示す。

【0012】また例えば、選択反射液晶方式の液晶表示素子では、電圧印加状態で、ある特定の波長領域で光の円偏光の一方の成分を選択的に反射させ、電圧無印加状態で光を透過させるような、例えばコレステリック液晶などの液晶を用いる。反射する光の波長領域と円偏光の成分は、コレステリック液晶の電圧無印加状態におけるプレーナ状態においてその螺旋方向、螺旋ピッチ及び屈折率の条件から定まる。電圧を印加すると弱い散乱成分を有する半透明状態のフォーカルコニック状態を経て、螺旋構造が消失する透明なホメオトロピック状態となる。

【0013】散乱反射液晶方式および選択反射液晶方式において、モノクロ表示またはカラー表示をする場合、液晶表示素子を構成する液晶層の背面側に光吸収性物質を配設して光透過状態での黒表示を行っている。

【0014】ところで、これら液晶表示素子でドットマトリクス表示を行う場合、画素単位で画像情報を伝える必要がある。マトリクス駆動の方法として単純マトリクス駆動、アクティブマトリクス駆動がある。前者はV-T（電圧-透過率）特性において急峻性が必要である。後者にはアクティブ素子がトランジスタのTFT方式がある。TFT方式は一画素の電圧は任意に設定でき、ドット数（画素数）の多い表示に適していると言える。以降は主にTFT方式を中心記述する。

【0015】このように従来の散乱反射液晶方式および選択反射液晶方式では、透明画素電極はネガ型着色性感光性樹脂のスルーホールを介して下部の薄膜トランジスタのソース電極と接続される。ネガ型の着色性感光性樹脂は、露光により光が照射された部分が光重合反応などによりポリマー化されて現像後にも残り、スルーホールなどの光が照射されなかった部分が現像により除去される（ポジ型はこの逆）。このネガ型感光性樹脂層中に分散させた顔料や染料が光を吸収し、入射光を着色する。

【0016】上述のように従来の散乱反射液晶方式および選択反射液晶方式などの反射型液晶表示素子では、透明画素電極は着色したネガ型感光性樹脂ポリマーに形成されたスルーホールを介して薄膜トランジスタのソース電極と接続される。このとき、画素電極と、信号線・ゲート線・薄膜トランジスタとの間に形成される容量性力

ップリングを低減させるために、薄膜トランジスタと画素電極との間に配設される絶縁性樹脂膜を厚くする必要がある（例えば6μm以上）。また、画素へ入射する光を十分着色、乃至吸収するためにもこの絶縁性樹脂層の膜厚を厚くする必要がある。

【0017】しかし、ネガ型感光性樹脂は、加工性（現像性）とパターン精度がポジ型感光性樹脂と比較してよくない。このため、スルーホールの断面形状を滑らかに形成することが困難で、絶縁性樹脂層を厚くすると画素電極の段切れが多発するという問題がある。

【0018】図9は従来の液晶表示素子のスルーホールの形状を概略的に示す図である。スルーホール91の断面形状を良好に維持するためには層間絶縁膜92の膜厚4μm程度が限界であった。しかしこの膜厚では、画素電極93とこの下部に配設される薄膜トランジスタの間の容量結合を抑制するには不十分である。そこで、膜厚をさらに厚くしようと図示したように画素電極93のソース電極96との接続部にマイクロクラック94や断線95などの接続不良が生じるという問題がある。

【0019】また、感光性樹脂層に混合、分散した顔料等が露光時に光を吸収するため、特に黒色のネガ型の感光性樹脂では感光性樹脂自体の光重合反応が不十分になりやすく、加工性がさらに悪くなるという問題もあった。

【0020】一方、ポジ型感光性樹脂を用いると十分な着色性が得られず、表示品質が低下してしまうという問題がある。

【0021】このように、従来のネガ型感光性樹脂を用いた層間絶縁膜では、膜を厚くするとスルーホールで画素電極の段切れが発生するという問題があった。

【0022】

【発明が解決しようとする課題】本発明はこのような問題点を解決するためになされたものである。すなわち本発明は、画素電極と薄膜トランジスタとの間の接続信頼性を低下させることなく画素電極と薄膜トランジスタとの間の容量結合を抑制した表示品質の優れた液晶表示素子を提供することを目的とする。

【0023】

【課題を解決するための手段】このような問題点を解決するために、本発明の液晶表示素子は以下の構成を備えている。

【0024】本発明の液晶表示素子は、マトリクス状に配列した画素領域を有する第1の基板と、前記第1の基板との間に液晶層を挟持する第2の基板と、前記第1の基板上に前記画素領域ごとに配設された、表示信号を選択的に供給するスイッチング素子と、前記第1の基板上に前記画素領域ごとに配設された、ポジ型感光性樹脂ポリマーからなる第1の絶縁層と、前記第1の絶縁層上に配設され、着色されたネガ型感光性樹脂ポリマーからなる第2の絶縁層と、前記第2の絶縁層の上側から前記ス

イッティング素子と接続するように配設された第1の電極と、前記第2の基板の前記液晶層を挟持する面に配設された第2の電極とを具備したことを特徴とする。第2の絶縁層は少なくとも可視光の一部を吸収するように着色することが好適である。また、着色の色は単色に限らず、複数の色（例えばRGBやCMYなど）に着色するようにしてもよい。

【0025】また本発明の液晶表示素子は、マトリクス状に配列した画素領域を有する第1の基板と、前記第1の基板との間に液晶層を挟持する第2の基板と、前記第1の基板上に前記画素領域ごとに配設された、表示信号を選択的に供給するスイッティング素子と、前記スイッティング素子の上側から前記第1の基板上に配設された、ポジ型感光性樹脂ポリマーからなる第1の絶縁層と、前記第1の絶縁層上に配設され、着色されたネガ型感光性樹脂ポリマーからなる第2の絶縁層と、前記第2の絶縁層上に、この第2の絶縁層の前記スイッティング素子と重なる領域が露出するように前記画素領域毎に配設された反射能を有する第1の電極と、前記第1の絶縁層と前記第2の絶縁層とを貫通して前記スイッティング素子と前記反射画素電極とを接続する手段と、前記第2の基板の前記液晶層を挟持する面に配設された第2の電極とを具備したことを特徴とする。

【0026】前記第1の絶縁層と前記第2の絶縁層との間に、前記画素電極と前記スイッティング素子との容量結合を低減するように配設されたシールド電極をさらに具備するようにしてもよい。

【0027】すなわち、本発明の液晶表示素子は、液晶層を駆動する配線やスイッティング素子等が存在するアレイ基板側の画素電極の下側にポジ型の感光性樹脂のポリマーと着色されたネガ型感光性樹脂のポリマーの積層構造を設けたものである。一般的に、ネガ型感光性樹脂の方がポジ型感光性樹脂よりも顔料・染料と樹脂（主にレジスト）との相性がよく、化学的に安定で、かつ得られる色純度（彩度）が高い。このため、ポジ型感光性樹脂は透明な絶縁層としての用途が多い。一方、フォトエッチングプロセスにおけるパターンの加工性（断面形状や現像性）、パターン精度などは逆にポジ型感光性樹脂層の方が優れている。

【0028】着色されたネガ型感光性樹脂ポリマーは良好な加工性を維持するために $4\text{ }\mu\text{m}$ 程度をその膜厚の上限とするようにすることが好適である。したがって下地層となるポジ型感光性樹脂のポリマーからなる第1の絶縁膜を厚く成膜すれば、層間絶縁膜全体としての膜厚が大きくなる。ネガ型感光性樹脂のポリマーと、ポジ型感光性樹脂のポリマーとを積層する順番は任意である。

【0029】着色された第2の絶縁層は、薄膜トランジスタなどの駆動用能動素子の上部に配置することが望ましい。これにより、例えば画素電極により薄膜トランジスタを遮光することができない場合にも薄膜トランジ

タのリーク電流が低減される。また、第1の絶縁層、第2の絶縁層の内部または第1の絶縁層と第2の絶縁層との間にシールド電極を配置するようにしてもよい。シールド電極を配設することにより、画素電極と薄膜トランジスタ、走査線、信号線などとのあいだの容量結合が低減する。また、シールド電極の下側にさらに別の回路を作り込むことができるので、設計の自由度が向上する。

【0030】また、第2の絶縁層などの着色した絶縁層を表示領域全面にわたって配設することにより、隣接する画素電極の隙間からの反射・光もれが低減し、表示品質が向上する。

【0031】この絶縁性樹脂層はそれより下側に配設される層の凸凹を極力平坦化できるような絶縁性材料を用いて形成するが好ましいが、必ずしも第1の絶縁層と第2の絶縁層の2層のみで形成する必要はない。例えば第1の絶縁層と第2の絶縁層とを複数積層するようにしてもよいし、薄膜トランジスタの上側を窒化シリコン膜、酸化シリコン膜などからなるパッシベーション膜で被覆し、この上側に第1の絶縁層、第2の絶縁層とを積層するようにしてもよい。

【0032】画素電極を構成する導電性材料は、用途に応じてある特定の波長領域を吸収したり、逆に可視光領域を透過、反射するような材料を必要に応じて選択して用いるようにすればよい。

【0033】このように本発明の液晶表示素子は、薄膜トランジスタやMIMなどの画素電極を駆動するためのスイッティング素子やCs配線などの上部に、ネガ型感光性樹脂のポリマーとポジ型感光性樹脂のポリマーとを積層し、さらにその上に画素電極を形成したものである。着色に適したネガ型感光性樹脂のポリマーからなる第2の絶縁膜は良好な加工性を維持するために約 $4\text{ }\mu\text{m}$ 程度を膜厚の上限としている。したがって、ポジ型感光性樹脂ポリマーからなる第1の絶縁膜を厚く成膜することにより、層間絶縁膜全体としての膜厚を、画素電極と、信号線・ゲート線・薄膜トランジスタなどとの容量性カップリングが低減するように調節することができる。また、ポジ型感光性樹脂は、スルーホールなどの加工性とパターン精度にすぐれるため、ネガ型感光性樹脂を用いる場合よりもスルーホール径を小さくすることができる。また、断面形状もなめらかにできるため、より厚く成膜することができる。ポジ型感光性樹脂のポリマーからなる第1の絶縁膜は、必ずしも可視光領域の電磁波をすべて透過する必要はなく着色していてもよい。

【0034】このように、ポジ型感光性樹脂のポリマーからなる第1の絶縁膜とネガ型感光性樹脂のポリマーからなる第2の絶縁性膜とを積層することにより、層間絶縁膜全体としての厚膜化が容易になり、容量性カップリングを低減できる。同時に、スルーホールの断面形状を維持できるので、画素電極が段切れすることもなく、画

素電極と下地電極のコンタクト不良を低減できる。

【0035】

【発明の実施の形態】以下に本発明の液晶表示素子についてさらに詳細に説明する。

【0036】(実施形態1) 図1は本発明の液晶表示素子の断面構造を概略的に示す図であり、図2は本発明の液晶表示素子の構成を概略的に示す図である。この液晶表示装置は、マトリクス状に画素電極101が配設されたアレイ基板102と、対向電極103が配設された対向基板104との間に液晶層100を挟持したものである。画素電極101、対向電極103はITOから形成され透光性を有している。画素電極101は薄膜トランジスタ105のソース電極105sと接続されている。薄膜トランジスタ105のドレイン電極105dは信号線110と接続されており、半導体層105aとオーミック接合したソース電極105sとドレイン電極105dとの間の導通状態は、走査線107と接続されたゲート電極105dの電位により制御される。半導体層105aはここでは $a-Si$ を用いており、オーミックコンタクト層には n^+a-Si を用いている。また、半導体層105aとゲート電極105dとの間にはSiO_x膜、SiNx膜、あるいはこれらの積層膜からなるゲート絶縁膜105iにより絶縁されている。

【0037】走査線107には走査線駆動回路108によりゲート電極105dの電位を制御する走査信号が供給され、薄膜トランジスタ105がオン状態のとき信号線駆動回路109より信号線に供給される表示信号がサンプリングされ画素電極101に印加される。対向電極109には、図示しない対向電極より所定の電位(例えば基準電位)が供給されている。

【0038】画素電極101と薄膜トランジスタ105との間の層間絶縁層としては、ネガ型感光性樹脂ポリマーからなる第1の絶縁層111と、ポジ型感光性ポリマーからなる第2の絶縁層112とを積層して用いている。この例では第2の絶縁層112は液晶層100の光透過時に黒表示を行うように黒色に着色されている。この場合液晶層はPDL C(Polymer Dispersed Liquid Crystal)やコレステリック液晶などからなる液晶層を複数層積層したものを用いるようにしてもよい。

【0039】ソース電極105sと画素電極101との間の接続は、第1の絶縁層111と第2の絶縁層112とを貫通して形成されたスルーホール113により形成されている。図3は本発明の液晶表示素子が備えるスルーホール113の断面形状の例を概略的に示す図である。このスルーホール113は、層間絶縁層としてネガ型感光性樹脂ポリマーからなる第1の絶縁層111と、ポジ型感光性ポリマーからなる第2の絶縁層112とを積層して用いているため断線が生じたり、マイクロクラックが生じたりしないような形状に形成されている。

【0040】

したがって、第2の絶縁層112の上面からソース電極105sまでを画素電極101により滑かに連続して被覆することができ、画素電極101にマイクロクラックや断線などが発生するのを防止することができる。

【0041】このような構成を採用することにより、画素電極101と薄膜トランジスタ105との間の接続信頼性を低下させることなく層間絶縁層の膜厚を大きくすることができる。したがって、画素電極101と薄膜トランジスタ105との間の容量結合による表示品質の低下を抑制することができる。

【0042】また、層間絶縁層の膜厚を厚くするにあたって、上層に着色性の良好なネガ型感光性樹脂のポリマーを配設しているため、例えば画素電極としてITO(Indium Tin Oxide)などの透明電極を用いる場合においても、液晶層100の光透過状態で十分な黒色表示あるいは着色表示を実現することができる。したがってコントラストを高くすることができ、表示品質を向上することができる。

【0043】(実施形態2) 図1に例示した本発明の液晶表示素子では、液晶層100が光透過状態のときに黒表示を行うものであったが、第2の絶縁層112を例えばRGBなどのようなカラー表示を可能とするような色に着色するようにしてもよい。

【0044】図4は本発明の液晶表示素子の断面構造の別の例を概略的に示す図である。この液晶表示素子は赤色に着色された第2の絶縁層112Rと、緑色に着色された第2の絶縁層112Gと、青色に着色された第2の絶縁層112Bとを備えている。着色された第2の絶縁層の色は、画素でき101ごとに分離して形成されている。

【0045】図5は、図4に例示した本発明の液晶表示素子の変形例であり、スイッチング素子として薄膜トランジスタ105の代わりにMIM105mを用いたものである。

【0046】このような構成を採用することにより、画素電極101と薄膜トランジスタ105との間の接続信頼性を低下させることなく層間絶縁層の膜厚を大きくすることができる。したがって、画素電極101と薄膜トランジスタ105との間の容量結合による表示品質の低下を抑制することができる。

【0047】また、層間絶縁層の膜厚を厚くするにあたって、上層に着色性の良好なネガ型感光性樹脂のポリマーを配設しているため、例えば画素電極101としてITO(Indium Tin Oxide)などの透明電極を用いる場合においても、液晶層100の光透過状態で十分な着色表示を実現することができる。したがってコントラストを高くすることができ、表示品質を向上することができる。

【0048】(実施形態3) つぎに、図1に例示したような本発明の液晶表示素子の製造方法の例について説明

する。まずはガラスなどからなる絶縁性基板102上にゲート電極105g、ゲート伝107となる金属を例えばマグネットロンDCスパッタ法などにより成膜する。ここでゲート電極105、ゲート線107を形成する金属材料としては、例えばA1、Mo、W、Ta、Ti等の金属やこれらを積層したもの、あるいはこれらの合金等を用いるようにしてもよい。またA1などをパターンを形成したものにこれらの金属、また合金で覆った積層構造の配線材料を用いることもできる。また、図に示していないが、アレイ基板102としてアルカリガラスなどを用いる場合には、SiO_x（酸化シリコン）などの絶縁膜で出来たアンダーコート膜を形成してもよい。

【0049】次にSiO_x、SiNx（窒化シリコン）などのシリコン系絶縁膜からなる厚さ約400nmのゲート絶縁膜105g、a-Siからなる厚さ約100nmの半導体膜105a、SiO_xからなり厚さ約300nmのチャネル保護膜105eをプラズマCVD法などにより連続的に成膜する。その後、ポジ型のフォトレジストを塗布し、アレイ基板102の裏面側から紫外光を照射して露光し、現像してゲート電極105gとほぼ同じ幅のレジストパターンを形成する。なお、現像する前に通常のマスク露光によってゲート幅と直行する方向のチャネル保護膜の端部を自己整合的に決定することができる。この製造例ではこのような工程を採用している。

【0050】また、裏面露光を用いずにマスク露光だけでチャネル保護膜105eのパターンを形成するようにしてもよい。この場合にはゲート金属とのマスク合わせ精度に基づく合わせマージンをとる必要がある。

【0051】次にチャネル保護膜105eをエッチングしてパターニングした後、コンタクト層となるn⁺a-Siなどの不純物半導体を厚さ約50nmにわたってCVD法などにより成膜する。nチャネルの薄膜トランジスタを製造する場合は例えば燐を不純物として導入すればよい。ここではCVD法によりPH₃ガスを成膜中に導入することによりして燐イオンをドープしながらn⁺a-Si膜を成膜しているが、チャネル保護膜105eをマスクとしてa-Si膜にイオンドーピング法等を用いて直接燐のイオンをa-Si膜に注入してn⁺a-Si膜を形成するようにしてもよい。

【0052】次に、Moなどの金属を約50nmにわたってマグネットロンスパッタ法で成膜し、パターニングを行ってシリコンの島状領域を形成する（図面上ではソース電極105s、ドレイン電極105dを含めている）。

【0053】さらにマグネットロンスパッタ法で厚さ約1μmのMoなどからなる金属膜を成膜し、ソース電極105s、ドレイン電極105dを形成する（なお、本発明では、画素電極側をソース電極、信号線側をドレイン電極とよぶが、逆に呼ぶようにしてもよい）。

【0054】ところで、ソース電極105s、ドレイン電極105dの材料としては、Mo以外にも例えばAl、W、Tiなどやその合金、それらの積層膜、あるいは導電性を示す材料であれば用いることができる。

【0055】次に、ソース電極105s、ドレイン電極105dをマスクとしてチャネル保護膜上のn⁺a-Siを除去し、SiNxからなる膜厚200nmのパッシベーション膜114をCVD法などにより成膜する。パッシベーション膜としては他に絶縁性の膜で半導体素子（駆動用能動素子）としての機能を失わないように保護することができる材料であれば何でもよい。

【0056】次にソース電極105sと画素電極101との接続領域のパッシベーション膜114をRIE法（リアクティブイオンエッチング法）などにより除去し、ポジ型の透明な感光性レジスト（例えば、HRC-115、HRC-125：日本合成ゴム（株）製、リソコートPI400：宇部興産（株）製など）を用いて厚さ約1～10μm程度の第1の絶縁膜111を形成する。第1の絶縁膜111はスピンドル法などにより塗布した後、マスク露光してパターニングを行って形成するようにすればよい。

【0057】次に黒色なネガ型感光性レジスト（例えばCK-6020L：富士ハントエレクトロニクスティクノロジー（株）製など）を用いて厚さ約1～4μm程度の第2の絶縁膜112を形成する。形成方法は第1の絶縁膜と同様である。この再、第1の絶縁膜と第2の絶縁膜の端面形状、スルーホール部の形状が滑かに連続するようにパターニングする。

【0058】この後、ITOをマグネットロンスパッタ法などにより厚さ約10～500nm成膜してパターニングすることにより画素電極101を形成する。

【0059】この後、必要に応じて図示しない配向膜などを配設した後、アレイ基板102と対向電極103を配設した対向基板104との間に液晶組成物を注入、周囲を封止して液晶表示素子となる。

【0060】この例では、ネガ型感光性樹脂ポリマーとポジ型感光性樹脂ポリマーとを積層することにより、層間絶縁膜全体としての膜厚を厚くすることができる、したがって、薄膜トランジスタ105などのスイッチング素子と画素電極101との間の容量性カップリングを低減することができる。同時に、スルーホールの断面形状を良好に形成することができるので、画素電極101が段切れすることもなく、画素電極101とスイッチング素子との間のコンタクト不良を低減することができる。

【0061】（実施形態4）図6は本発明の液晶表示素子の構造の別の例を概略的に示す図である。この液晶表示素子は、第1の絶縁膜111と第2の絶縁膜112との間にシールド電極115を設けたものである。シールド電極115は電位制御可能に配設されており、例えば接地電位などが印加される。

【0062】このようなシールド電極115を配設することにより、画素電極101と信号線110、ゲート線107、薄膜トランジスタ105などとの間の容量性カップリングを低減させることができる。

【0063】また、このシールド電極115と画素電極101との間に補助容量Csを形成するように構成してもよい。例えばこのシールド電極115を補助容量線116と接続して補助容量電極として用いるようにしてもよい。

【0064】なおこの例では、シールド電極115を第1の絶縁膜111と第2の絶縁膜112との間に設けたが、パッシベーション膜114上に設けるようにしてもよい。シールド電極115を設けることにより、その下側に各種電気回路を設けることができる。これはシールド電極115があると画素電極101とこの電気回路との間の容量性カップリング、ノイズなどを防ぐことができるからである。

【0065】(実施形態5) 図6に例示した本発明の液晶表示素子は、第2の絶縁膜112を112R(赤)、112G(緑)、112B(青)の3色に着色して配設し、この上に透明な画素電極101を積層したものである。したがって、第2の絶縁膜112を黒以外に着色することにより、本発明を反射型液晶表示素子に限らず透過型液晶表示素子にも適用することができる。

【0066】第2の絶縁膜112を着色する色はRGBに限ることなく例えばC(シアン)、M(マゼンダ)、Y(イエロー)などを用いるようにしてもよいし、さらに他の色を着色するようにしてもよい。

【0067】(実施形態6) 図7は本発明の液晶表示素子の構造のさらに別の例を概略的に示す図であり、図8はこの液晶表示素子の単位画素領域の平面構成を概略的に示す図である。

【0068】この液晶表示素子は、液晶層100としてシアンのGH液晶層100c、マゼンタのGH液晶層100m、イエローのGH液晶層100yの3層のGH液晶を積層したものを採用している。

【0069】画素電極101は、これまで説明したようなITOなどの透明導電性物質ではなく、例えばAl、Ag、Cr、Mo、Ta、Ti、MoTa、MoWなどの金属あるいは合金などの可視光に対する反射能を有する導電性物質により構成されている。そして、この画素電極101は、単位画素領域(アレイ基板上にマトリクス状に配列される表示画素の単位要素)内で、薄膜トランジスタ105が配設された領域と重ならないように配設されている。すなわち、第2の絶縁層112のうち、薄膜トランジスタ105と重なった部分は画素電極101に覆われずに液晶層100側に露出している。

【0070】このような画素電極(反射画素電極)101を配設した場合においても、隣接する画素電極101の間の領域では、液晶層100に電圧を印加するこ

できない。このためゲート線107、信号線110、あるいは薄膜トランジスタ105などからの光反射により表示のコントラストが低下するなどの問題がある。

【0071】薄膜トランジスタ105と画素電極101とが重なるように配設すると、画素電極101の電位により薄膜トランジスタ105のリーク電流が増大するなど、薄膜トランジスタ105の特性に悪影響を与えるので、本発明の液晶表示素子では薄膜トランジスタ105の上部には画素電極101を配設しないようにしている。さらにこの場合、薄膜トランジスタ105は画素電極101により遮光されないので、光照射によるリーク電流は増大してしまう。このため本発明の液晶表示素子では、薄膜トランジスタ105と画素電極101との間の隙間に容量性カップリングが低減するように配設する感光性樹脂ポリマー112を着色することにより、反射画素電極電位の薄膜トランジスタへの影響を低減とともに、薄膜トランジスタ105の光リーク電流を低減することができる。

【0072】さらに感光性樹脂ポリマーは、黒色などに着色すれば、第2の絶縁層112の画素電極101に被覆されない領域だけでなく、隣接する画素電極101と画素電極101との間の領域からの反射光も低減することができ、ブラックマトリクスとして機能させることができる。

【0073】さらに、感光性樹脂ポリマーの表面に梨地状の凹凸を形成するようにしてもよい。これによりこの上に配設する画素電極にも凹凸が形成されるので、反射光を適度に散乱させることができ、写り込みなどを防止することができる。

【0074】図7に例示した液晶表示素子の表示モードはGH以外にも、TN、PDL Cなどを用いるようにしてもよい。特にGHモードでフルカラーを表示させる場合には、この例のようにシアン、マゼンタ、イエローの色素をそれぞれ含む3つのGHセルを積層する構造に限らず、シアン、マゼンタ、イエローに着色された液晶セルを並列配置するようにしてもよい。なお各実施形態で図示した構成では、画素でき101と薄膜トランジスタ105とを重ならないように配設した例を説明したが、本発明の液晶表示素子では、両者の間に介在する絶縁層の膜厚を厚くすることができるので、重なるように配設しても表示品質を低下させることができない。

【0075】なお、上述した本発明の実施形態では、薄膜トランジスタ105の半導体膜としてアモルファスシリコン(a-Si)膜を用いた例を説明したが、非単結晶の結晶質シリコン(poly-Si:いわゆる多結晶シリコン)、アモルファスシリコン中に結晶化した領域が存在する微結晶シリコン(μ c-Si)などを用いるようにしてもよい。特に、半導体層としてpoly-Siを用いる場合には、走査線駆動回路108、信号線駆動回路109などの周辺駆動回路を画素アレイと同一基

板上に一体的に形成するようにしてもよい。また、シリコン半導体膜以外にも例えば、SiGeやGe等の他の半導体を用いるようにしてもよい。

【0076】また、上述の実施形態で説明した本発明の液晶表示素子では、nチャネルの薄膜トランジスタを画素電極に表示信号を選択的に印加するスイッチング素子として採用して構成したが、pチャネルの薄膜トランジスタ、またはMIMなどのスイッチング素子を用いるようにしてもよい。この場合回路構成はスイッチング素子に応じた構成を有するように対応させればよい。

【0077】さらに、半導体素子としては、ゲート電極が半導体層の下側に配設される、いわゆる逆スタガ構造のものを配設したが、ゲート電極が半導体素子の上側に配設されるスタガ構造、コプラナ構造など別構造の薄膜トランジスタを用いるようにしてもよいし、また別の半導体素子を用いてもよい。

【0078】

【発明の効果】以上説明したように本発明の液晶表示素子は、画素電極と薄膜トランジスタとの間の層間絶縁層を、成形性の良好なネガ型感光性樹脂のポリマーからなる第1の絶縁膜と、着色性の良好なポジ型感光性樹脂のポリマーからなる第2の絶縁層との積層構造にしている。このような構成を採用することにより、画素電極と薄膜トランジスタとの間の接続信頼性を低下させることなく層間絶縁層の膜厚を大きくすることができる。したがって、画素電極と薄膜トランジスタとの間の容量結合による表示品質の低下を抑制することができる。

【0079】また、層間絶縁層の膜厚を厚くするにあたって、上層に着色性の良好なネガ型感光性樹脂のポリマーを配設しているため、例えば画素電極としてITOなどの透明電極を用いる場合においても、液晶層の光透過状態で十分な黒色表示あるいは着色表示を実現することができる。したがってコントラストを高くすることができ、表示品質を向上することができる。

【図面の簡単な説明】

【図1】本発明の液晶表示素子の構造の例を概略的に示す断面図。

【図2】本発明の液晶表示素子の構成の例を概略的に示す図。

【図3】本発明の液晶表示素子のスルーホールの断面形

状の例を概略的に示す図。

【図4】本発明の液晶表示素子の構造の別の例を概略的に示す断面図。

【図5】本発明の液晶表示素子の構造の別の例を概略的に示す断面図。

【図6】本発明の液晶表示素子の構造の別の例を概略的に示す断面図。

【図7】本発明の液晶表示素子の構造の別の例を概略的に示す断面図。

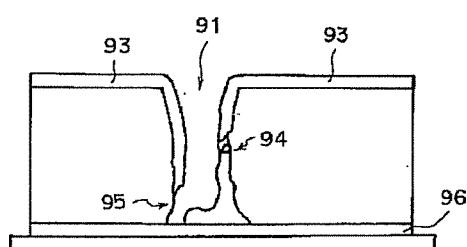
【図8】図7に例示した本発明の液晶表示素子の画素領域の構成を概略的に示す図。

【図9】従来の液晶表示素子のスルーホールの形状の例を示す図。

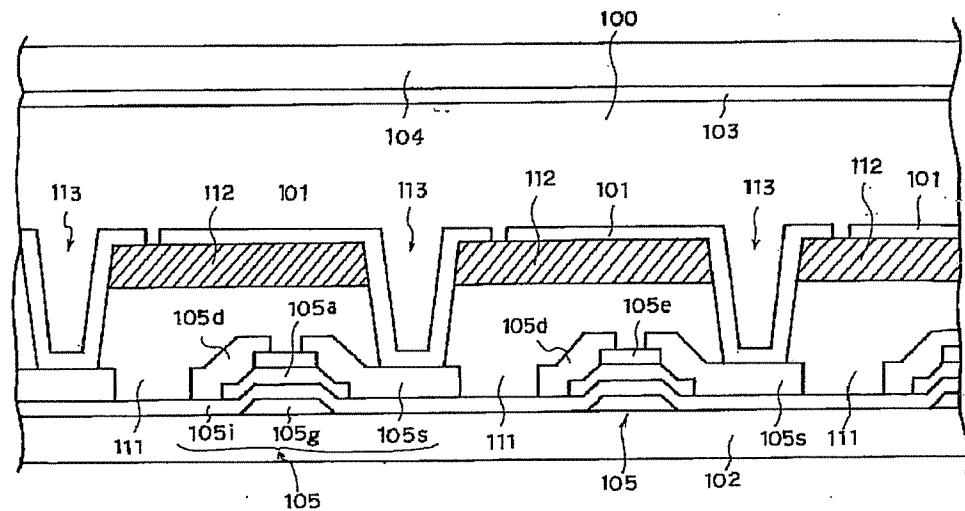
【符号の説明】

- 100 ……液晶層
- 101 ……画素電極
- 102 ……アレイ基板
- 103 ……対向電極
- 104 ……対向基板
- 105 ……薄膜トランジスタ
- 105a ……半導体層
- 105g ……ゲート電極
- 105s ……ソース電極
- 105d ……ドレイン電極
- 105e ……チャネル保護膜
- 105i ……ゲート絶縁膜
- 105m ……MIM
- 107 ……走査線
- 108 ……走査線駆動回路
- 109 ……信号線駆動回路
- 110 ……信号線
- 111 ……第1の絶縁膜 (ポジ型感光性樹脂ポリマー)
- 112 ……第2の絶縁膜 (ネガ型感光性樹脂ポリマー)
- 113 ……スルーホール
- 114 ……パッシベーション膜
- 115 ……シールド電極
- 116 ……補助容量線

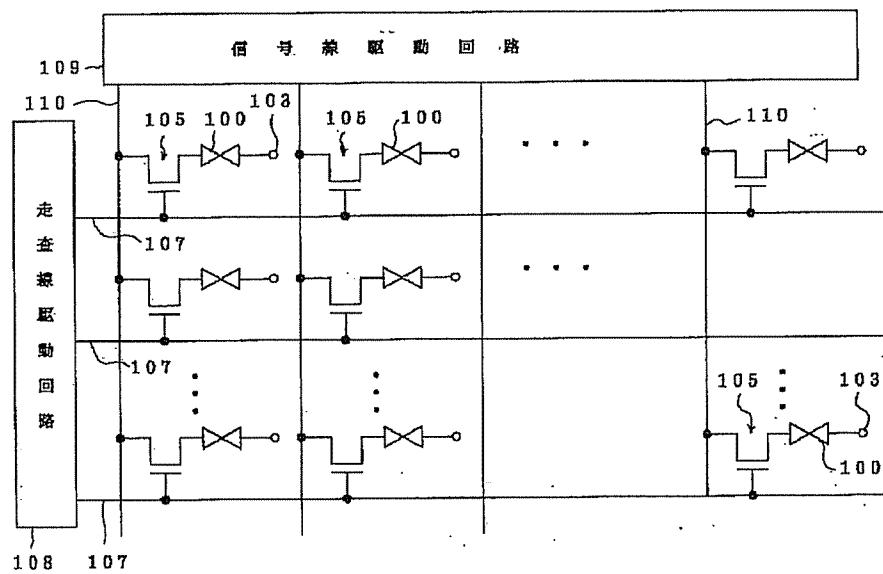
【図9】



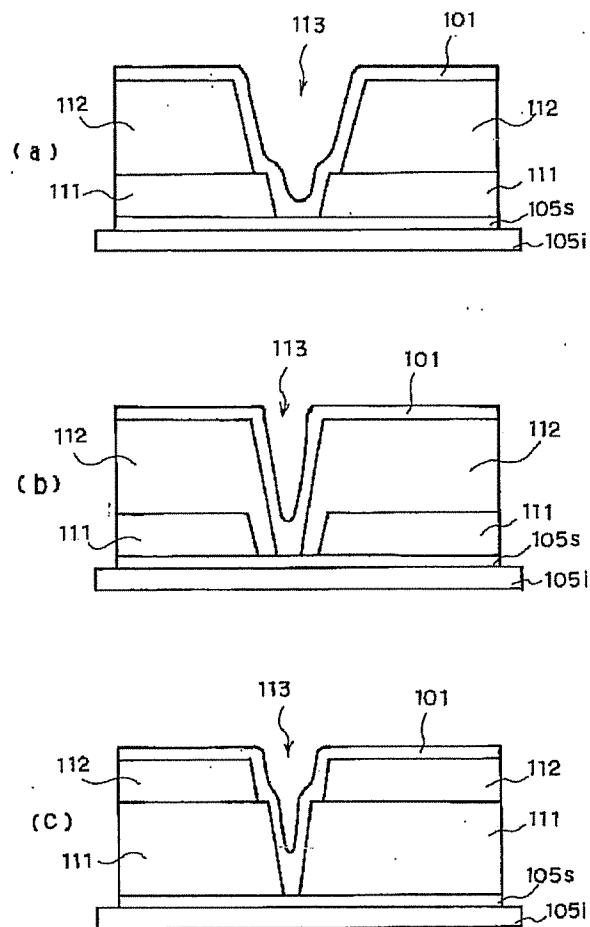
【図 1】



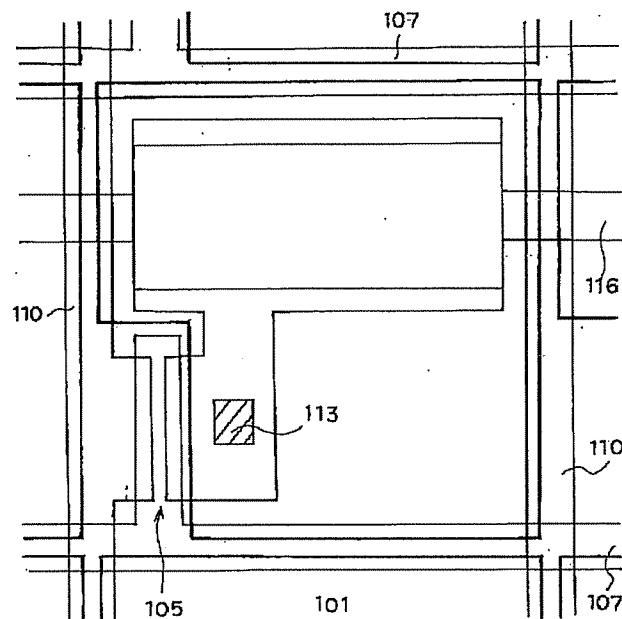
【図 2】



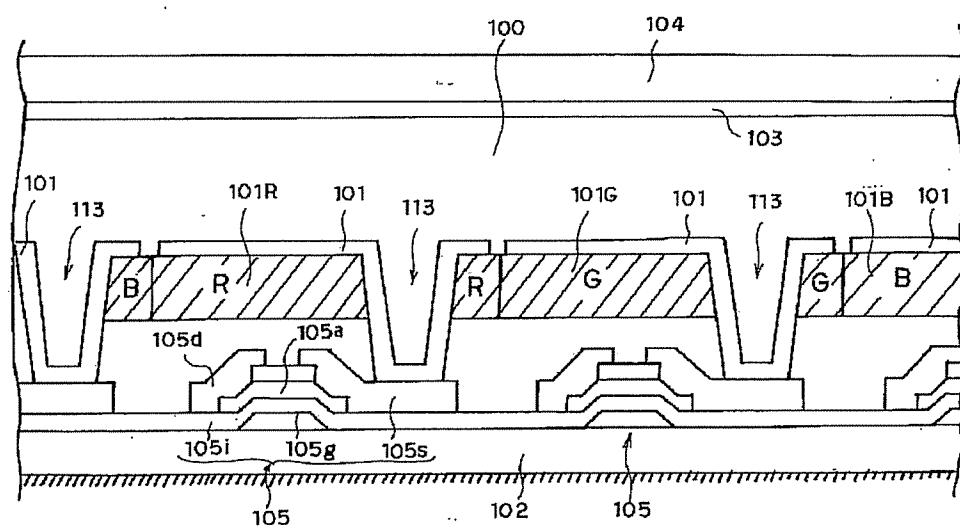
【図3】



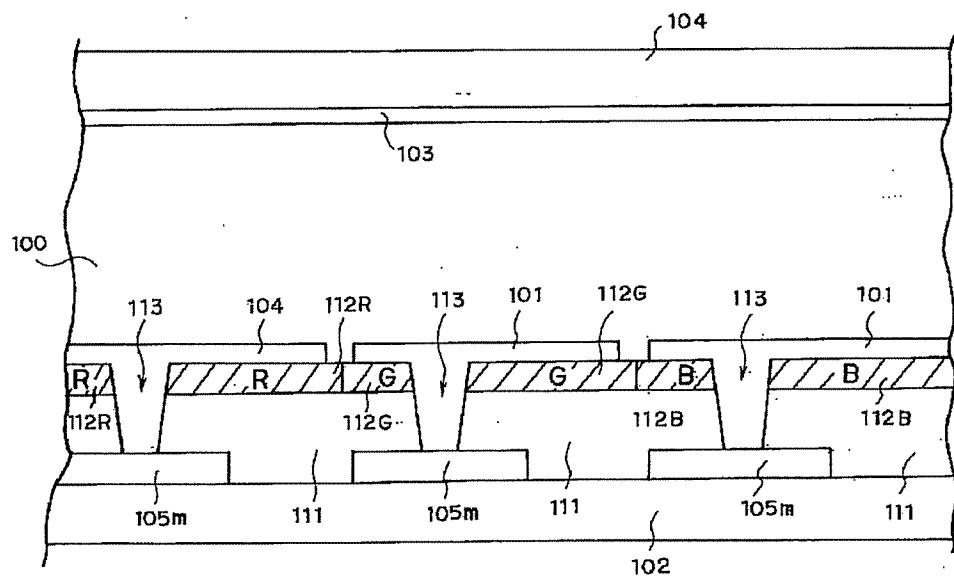
【図8】



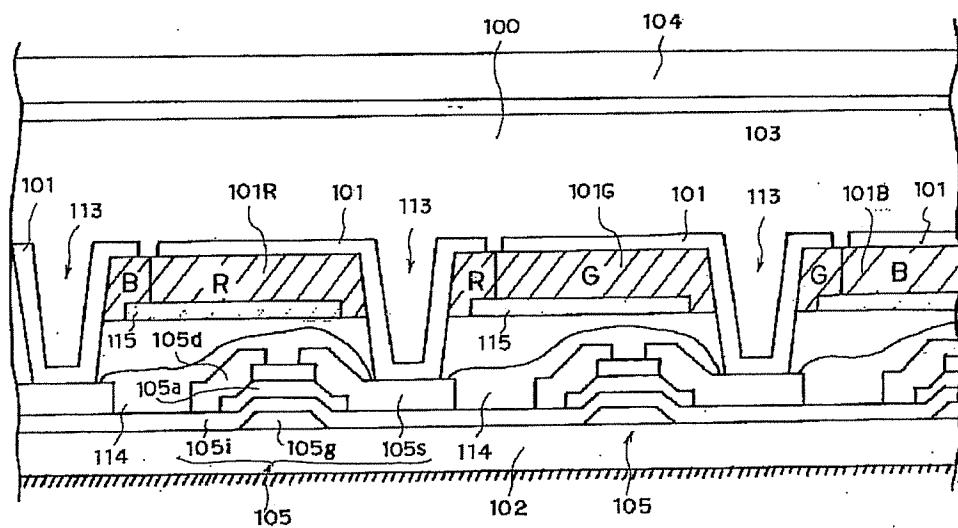
【図4】



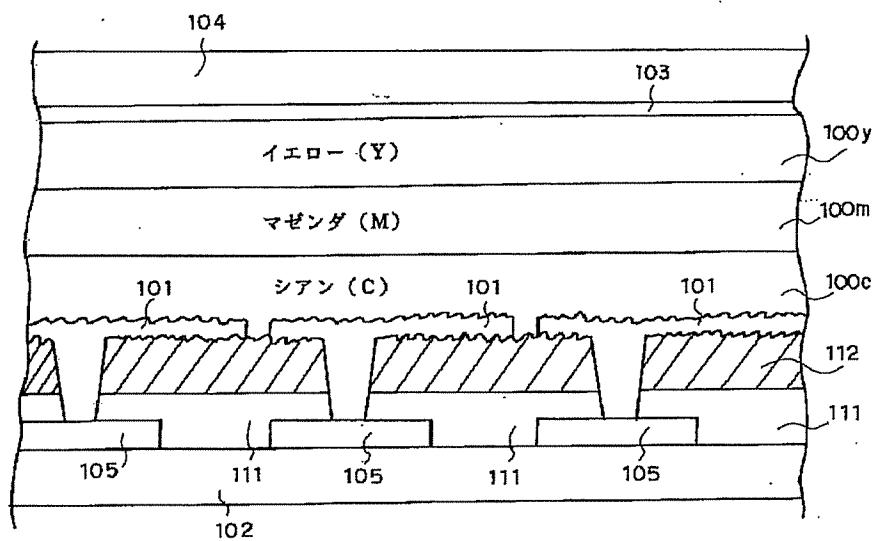
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 6
H 01 L 21/336